

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-313966
 (43)Date of publication of application : 25.10.2002

(51)Int.CI. H01L 21/8247
 H01L 27/105
 H01L 27/115
 H01L 29/788
 H01L 29/792

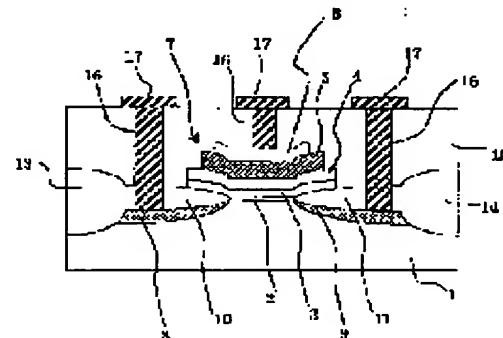
(21)Application number : 2001-116439 (71)Applicant : TARUI YASUO
 NIPPON PRECISION CIRCUITS INC
 (22)Date of filing : 16.04.2001 (72)Inventor : TARUI YASUO
 SAKAMAKI KAZUO

(54) TRANSISTOR TYPE FERROELECTRIC NON-VOLATILE STORAGE ELEMENT AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To improve integration, and at the same time, to improve reliability in a ferroelectric transistor having MFMIS (conductor films-ferroelectric films- conductor films-insulating films-semiconductors) structure.

SOLUTION: In a gate insulator capacitor made of MIS structure, a low permittivity layer inhibition layer 2 is interposed between the insulating film 3 made of a material having high permittivity of CeO₂ and a semiconductor substrate 1 to inhibit the generation of a low-permittivity layer such as an SiO₂ at the interface between the insulating film 3 and semiconductor substrate 1, and to inhibit reduction in capacity. The area of the gate insulator capacitor can be reduced to improve integration.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) Int.CI.⁷
 H01L 21/8247
 27/105
 27/115
 29/788
 29/792

識別記号

F I
 H01L 29/78
 27/10

371
 444
 434

テーマコード (参考)

5F083
 A 5F101

審査請求 未請求 請求項の数12 O.L (全10頁)

(21)出願番号 特願2001-116439 (P 2001-116439)

(22)出願日 平成13年4月16日 (2001.4.16)

(71)出願人 500118034

垂井 康夫

東京都世田谷区瀬田1丁目9番27-304号

(71)出願人 390009667

日本プレシジョン・サーフィツ株式会社
東京都江東区福住二丁目4番3号

(72)発明者 垂井 康夫

東京都世田谷区瀬田一丁目9番27-304号

(74)代理人 100067105

弁理士 松田 和子

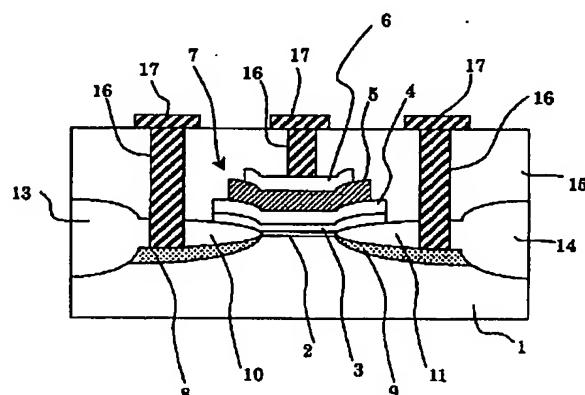
最終頁に続く

(54)【発明の名称】トランジスタ型強誘電体不揮発性記憶素子とその製造方法

(57)【要約】

【課題】 M F M I S (導電体膜-強誘電体膜-導電体膜-絶縁膜-半導体) 構造を持つ強誘電体トランジスタにおいて、高集積化を進めるとともに信頼性を向上させる。

【解決手段】 M I S 構造からなるゲート絶縁体キャバシタにおいて、C e O₂の高い比誘電率の材料からなる絶縁膜3と半導体基板1との間に低誘電率層抑制層2を介在させて、絶縁膜3と半導体基板1との界面にS i O₂等の低誘電率層が発生することを抑制し、容量低下を抑える。ゲート絶縁体キャバシタの面積縮小を可能とし、高集積化を進める。



【特許請求の範囲】

【請求項 1】 シリコンを主体とする半導体基板上に、絶縁膜、第1導電体膜、強誘電体膜、第2導電体膜を順次積層したゲート構造を持つトランジスタ型強誘電体不揮発性記憶素子であって、高誘電率材料からなる前記絶縁膜と前記半導体基板との界面に形成された窒素を含む低誘電率層抑制層とを備えることを特徴とするトランジスタ型強誘電体不揮発性記憶素子。

【請求項 2】 ソース領域およびドレイン領域を覆う厚膜のシリコン酸化膜を備え、前記シリコン酸化膜上と前記半導体基板のチャネル領域上とに前記絶縁膜があり、前記第1導電体膜および前記絶縁薄膜のチャネル長方向の長さがチャネル長より長い構造であることを特徴とする請求項 1 に記載のトランジスタ型強誘電体不揮発性記憶素子。

【請求項 3】 前記第1導電体膜、強誘電体膜、第2導電体膜からなる強誘電体キャバシタの有効面積が、前記チャネル領域の面積より小さい構造をもつことを特徴とする請求項 1 または 2 に記載のトランジスタ型強誘電体不揮発性記憶素子。

【請求項 4】 前記第2導電体膜は、素子分離領域上に延びており、当該素子分離領域上にコンタクトを有することを特徴とする請求項 1 乃至 3 の何れかに記載のトランジスタ型強誘電体不揮発性記憶素子。

【請求項 5】 前記絶縁膜は、 Ta_2O_5 、 $SrTiO_3$ 、 TiO_2 、 $(Ba, Sr)TiO_3$ 、 Al_2O_3 、 ZrO_2 、 HfO_2 、 Y_2O_3 、 CeO_2 、 $CeZrO_4$ 、 YSZ （酸化イットリウム安定化酸化ジルコニウム）からなるグループから選んだ 1 つの材料の層または 2 つ以上の材料の積層であることを特徴とする請求項 1 乃至 4 の何れかに記載のトランジスタ型強誘電体不揮発性記憶素子。

【請求項 6】 前記強誘電体膜は、 $SrBi_2Ta_2O_9$ 、 $PbTiO_3$ 、 $PbZr_2Ti_{1-x}O_x$ 、 $Pb_2La_xZr_2Ti_{1-x}O_x$ 、 $Bi_2Ti_2O_5$ 、 $Pb_2Ge_2O_5$ 、 $SrNbO_3$ 、および $Sr_2Ta_2Nb_{1-x}O_x$ からなるグループの中から選ばれた 1 つの材料の膜であることを特徴とする請求項 1 乃至 5 の何れかに記載のトランジスタ型強誘電体不揮発性記憶素子。

【請求項 7】 前記導電体膜は、白金、イリジウム、酸化イリジウム、導電性多結晶シリコンからなるグループの中から選ばれた 1 つの材料の層または 2 つ以上の材料の積層であることを特徴とする請求項 1 乃至 6 の何れかに記載のトランジスタ型強誘電体不揮発性記憶素子。

【請求項 8】 シリコンを主体とする半導体基板上に、絶縁膜、第1導電体膜、強誘電体膜、第2導電体膜を順次積層したゲート構造を持つトランジスタ型強誘電体不揮発性記憶素子の製造方法であって、

前記半導体基板上にダミーゲートを形成する工程と、

前記ダミーゲートをマスクとしてソース領域とドレイン領域とを形成する工程と、

前記ダミーゲートをマスクとして前記半導体基板表面を熱酸化することによって、ソース領域とドレイン領域とを覆う厚膜の酸化膜を形成する工程と、

前記ダミーゲートを除去した後、低誘電率層抑制層を形成する工程と、

前記低誘電率層抑制層上に高誘電率材料からなる前記絶縁膜を形成する工程とを備え、前記絶縁膜上に第1導電体膜、前記強誘電体膜、前記第2導電体膜を順次形成することを特徴とするトランジスタ型強誘電体不揮発性記憶素子の製造方法。

【請求項 9】 前記低誘電率層抑制層を、イオン注入法、窒素プラズマ法、真空蒸着、レーザーアブレーション法、CVD (Chemical Vapor Deposition: 化学気相成長)、またはスパッター法で形成することを特徴とする請求項 8 に記載のトランジスタ型強誘電体不揮発性記憶素子の製造方法。

【請求項 10】 前記絶縁膜は、 Ta_2O_5 、 $SrTiO_3$ 、 TiO_2 、 $(Ba, Sr)TiO_3$ 、 Al_2O_3 、 ZrO_2 、 HfO_2 、 Y_2O_3 、 CeO_2 、 $CeZrO_4$ 、 YSZ （酸化イットリウム安定化酸化ジルコニウム）からなるグループから選んだ 1 つの材料の層または 2 つ以上の材料の積層であることを特徴とする請求項 8 または 9 に記載のトランジスタ型強誘電体不揮発性記憶素子の製造方法。

【請求項 11】 前記強誘電体膜は、 $SrBi_2Ta_2O_9$ 、 $PbTiO_3$ 、 $PbZr_2Ti_{1-x}O_x$ 、 $Pb_2La_xZr_2Ti_{1-x}O_x$ 、 $Bi_2Ti_2O_5$ 、 $Pb_2Ge_2O_5$ 、 $SrNbO_3$ 、および $Sr_2Ta_2Nb_{1-x}O_x$ からなるグループの中から選ばれた 1 つの材料の膜であることを特徴とする請求項 8 乃至 10 の何れかに記載のトランジスタ型強誘電体不揮発性記憶素子の製造方法。

【請求項 12】 前記導電体膜は、白金、イリジウム、酸化イリジウム、導電性多結晶シリコンからなるグループの中から選ばれた 1 つの材料の層または 2 つ以上の材料の積層であることを特徴とする請求項 8 乃至 11 の何れかに記載のトランジスタ型強誘電体不揮発性記憶素子の製造方法。

40 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、不揮発性記憶素子に関し、特に、強誘電体をゲートに用いたトランジスタ型強誘電体不揮発性記憶素子およびその製造方法に関するものである。

【0002】

【従来の技術】 強誘電体をゲートに用いたトランジスタ型強誘電体不揮発性記憶素子は、基本構造として通常の MOS-FET (Metal Oxide Semiconductor - Field Effect Transistor: 導電体膜-酸化膜-半導体-電界効

果型トランジスタ) の絶縁膜である酸化膜を強誘電体に置き換えた構成を有しているMFS-FET (Metal-Ferroelectric-Semiconductor - Field Effect Transistor: 導電体膜-強誘電体膜-半導体-電界効果型トランジスタ) がある。このMFS-FET型メモリは、強誘電体の分極がトランジスタの閾値電圧を変化させ、ソース、ドレイン間のチャネルの抵抗変化をドレイン電流値の大小の変化として読み取る方式のものである。この方式は強誘電体の残留分極の保持により、トランジスタのON、OFFを維持するため、低電圧による読み出し動作により情報が破壊されない、いわゆる非破壊読み出しである。

【0003】強誘電体をゲートに配置するMFS-FETは強誘電体(F)と半導体(S)の間に良好な界面を作ることが難しい、これを避ける方法は大きく分けると2つの種類に分けられる。その一つは、MFIIS (Metal-Ferroelectric-Insulator-Semiconductor: 導電体膜-強誘電体膜-絶縁体膜-半導体) 構造を持つ強誘電体トランジスタで、MFS構造の強誘電体膜(F)と半導体(S)との間に絶縁膜(I)を挟み込んだものである。強誘電体がその分極によりゲート絶縁膜を介して、半導体基板表面に電荷を誘起するものである。

【0004】もう一つは、MFMIS (Metal-Ferroelectric-Metal-Insulator-Semiconductor: 導電体膜-強誘電体膜-導電体膜-絶縁膜-半導体) 構造を持つ強誘電体トランジスタで、MFIIS構造の強誘電体膜(F)と絶縁膜(I)との間に導電体膜(M) (またはフローティングゲートと呼ぶ)を挟み込んだものである。本発明は、後者のMFMIS構造に関するものである。なお、本明細書中で記載している導電体膜または導電体層とは、金属の他、多結晶シリコンまたは金属と多結晶シリコンとの合金などの導電体も含むものとする。

【0005】従来のMFMIS型強誘電体メモリは、図4(a)に示すように、半導体基板41上にソース領域42とドレイン領域43とが形成されていて、その中間の半導体基板の主面にゲート酸化膜としての酸化膜(SiO₂)44と下部の導電体膜としてのポリシリコン(Poly-Si)45とが積層され、更にその上に下部の導電体膜であるとともに強誘電体材料とPoly-Siとの相互拡散を防ぐためにバリア膜46としてIr/IrO_x (イリジウム/酸化イリジウム) が積層され、その上に強誘電体薄膜 (例えば、PZT (PbZr,Ti_{0.5}O₃)) 47、その上に上部の導電体膜48、すなわち、ゲート電極としてIr/IrO_xが積層されている。これらの積層膜をリソグラフィとエッティングでゲート構造49を形成している。(参考文献: T. Nakamura et al. Dig. Tech. Pap. of 1995 IEEE Int. Solid State Circuits Conf. P.68(1995))

【0006】図4(b)は図4(a)のMFMIS構造を等価回路で表したもので、上部のMFM構造からなる

強誘電体キャパシタの容量(C_f)と下部のMIS構造からなるゲート絶縁体キャパシタの容量(C_i)とが直列に接続されている。図4(b)において上部電極Aと半導体基板B間に電圧を印加して、強誘電体層を分極させる時、記憶保持特性の観点から強誘電体の分極が十分飽和するまで電圧を印加することが必要である。

【0007】強誘電体キャパシタに分配される電圧は、強誘電体キャパシタの容量(C_f)とゲート絶縁体キャパシタの容量(C_i)とのカップリング比(C_i / (C_i + C_f))に依存する。

【0008】強誘電体キャパシタに分配される電圧を大きくするには、ゲート絶縁体キャパシタの容量(C_i)が強誘電体キャパシタンスの容量(C_f)に比較して大きくなるように設計することが重要である。

【0009】そこでゲート絶縁体キャパシタの容量(C_i)が強誘電体キャパシタの容量(C_f)に比較して大きくなるように設計するために、ゲート絶縁膜を薄くすること、強誘電体薄膜を厚くすることが考えられるが、ゲート絶縁膜44を薄くすることは耐圧およびリーク電流20の点から限界がある。また強誘電体薄膜47を厚くすると強誘電体の分極を飽和させるために、高い駆動電圧を必要とすることになる。

【0010】これらの問題を避けてゲート絶縁体キャパシタの容量(C_i)を強誘電体キャパシタの容量(C_f)に比較して大きくする従来方法は、キャパシタンスC_fとキャパシタンスC_iの面積を変える方法である。これを行った簡単な断面模式図を図4(c)に示す。C_iを構成するMIS (導電体-絶縁体-半導体) 部の面積の一部のみに強誘電体層を有するMFMIS構造を有している。この従来方法によって、C_iを必要に応じてC_fに比較して大きく設計することができる。

【0011】

【発明が解決しようとする課題】図4(a)に示すような従来構造は、MFM構造 (ゲート構造49) を同一寸法に形成した後にソース領域42、ドレイン領域43に不純物を導入し活性化などの熱処理を行うと強誘電体に含まれる不純物が遊離してシリコンに拡散してデバイス特性を劣化させる問題を有していた。

【0012】さらに、図4(a)のようにMFM構造40の端面を一括して加工すると側壁にダメージが生じるので、リーク通路が形成される。これは、例えば、ドライエッティング加工時に、エッティング中に削り取られた電極材料 (導電体材料) とレジストの生成物 (導電性) が強誘電体の側壁に付着して形成される。リーク通路が形成されると、リーク電流がリーク通路を通じてMFM構造の下部の導電体膜 (ポリシリコン膜45、バリア膜46) に電荷が蓄積されて、強誘電体膜47からの電気力線を遮へいする。その結果、半導体基板41の表面のキャリアが消滅して、分極は残っているがドレイン電流は50流れなくなり、記憶情報は消滅するという問題点を有し

ている。

【0013】一方、図4(c)に示すように、ゲート絶縁体キャパシタの容量(C_g)を強誘電体キャパシタの容量(C_f)と比較して大きくするためMFM1構造の上部の導電体膜の面積をその下部構造の面積より小さくした従来構造においても、同様に各々の膜をリソグラッフィーとエッチングで加工した後に、ソース領域42、ドレイン領域43に不純物を導入し活性化などの熱処理を行うと強誘電体に含まれる不純物が遊離してシリコンに拡散してデバイス特性を劣化させる問題と、側壁にダメージが生じるので、リーケ通路が形成される。リーケ通路が形成されると、リーケ電流がリーケ通路を通じて下部の導電体膜(ポリシリコン膜45、バリア膜46)に電荷が蓄積されて、強誘電体膜47からの電気力線を遮へいする。その結果、半導体基板41の表面のキャリアが消滅して強誘電体の分極は残っているがドレイン電流は流れなくなり、記憶情報は消滅する問題点を有している。

【0014】上述のような強誘電体による汚染を防ぐために、図5(a)に示すように、通常のMOSトランジスタ51を形成した後に、このMOSトランジスタ51の上の層間絶縁膜52を開けたコンタクトホール53を介してMOSトランジスタ51のゲート54に強誘電体キャパシタを接続する方法がある。しかし、この構造ではMOSトランジスタ51のゲート54とコンタクトホール53の位置合わせの余裕が必要なため、ゲート電極幅(ゲート長)を最小加工寸法まで短く出来ない。また位置合わせ余裕が極めて小さくすると、例えば、図5(b)のようにソース領域42とゲート54とにバリア膜46が接続される等の不具合が発生し、不揮発性記憶素子として動作せず、トランジスタの歩留まりが急激に低下する。このように、MFM1構造を持つ強誘電体トランジスタは、ゲート長をLSIの製造プロセスの加工寸法に設定できない問題を有している。

【0015】さらに、従来、ゲート絶縁体キャパシタの絶縁材料として、強誘電体材料の比誘電率(SBT: $\epsilon = 200$ 、PZT: $\epsilon = 1000$)と比べて、非常に小さい比誘電率の酸化膜($\epsilon = 3.9$)や窒素を含有したSiON(酸窒化膜: $\epsilon = 5 \sim 7$)や窒化膜($\epsilon = 7 \sim 8$)を用いていたので、 C_g を必要に応じて C_f に比較して大きく設計するために、ゲート絶縁体キャパシタの面積を大きくしなければならない。

【0016】そこでゲート絶縁体キャパシタの容量(C_g)が強誘電体キャパシタの容量(C_f)に比較して大きくなるように設計するために、ゲート絶縁膜に酸化膜や窒化膜系より比誘電率が高い材料(例えば比誘電率が26のCeO₂)など用いることによって、ゲート絶縁体キャパシタの容量(C_g)を大きくする試みもあるが、例えばCeO₂などの比誘電率が高い材料をシリコンの上に10nm成膜すると、シリコンと比誘電率が高い絶

縁膜(CeO₂)との間にSiO₂等の低誘電率層が5nm形成され、その絶縁膜の合計膜厚は15nmとなりゲート絶縁膜キャパシタの単位面積当りのキャパシタンスが低下する。その結果、低下したキャパシタンスを得るためににはゲート絶縁膜キャパシタの面積を大きくする必要がある。

【0017】そこで本発明は、高集積化が可能で信頼性の高いトランジスタ型強誘電体不揮発性記憶素子を提供することを目的とするものである。

10 【0018】

【課題を解決するための手段】本発明のトランジスタ型強誘電体不揮発性記憶素子では、シリコンを主体とする半導体基板上に、絶縁膜、第1導電体膜、強誘電体膜、第2導電体膜を順次積層したゲート構造を持つトランジスタ型強誘電体不揮発性記憶素子であって、高誘電率材料からなる前記絶縁膜と前記半導体基板との界面に形成された窒素を含む低誘電率層抑制層を備えることを特徴とするものである。

【0019】このように、シリコンを主体とする半導体基板表面に窒素を含む膜厚が薄い低誘電率層抑制層があるので高誘電率材料からなる絶縁膜と半導体基板との間に厚い低誘電率層が形成されない。このため、絶縁膜の合計膜厚が大きく増加しないので、低誘電率層抑制層を形成していない場合と比較して単位面積当りのゲート絶縁容量が増加する。従って、単位面積当りのゲート絶縁容量が増加した分、ゲート絶縁体キャパシタの面積を大きくする必要がなく、メモリセル面積を小さくすることができる。具体例を挙げれば、低誘電率層抑制層が無い半導体基板上に高誘電率材料($\epsilon = 26$)の絶縁膜CeO₂を10nm成膜すると、シリコンと高誘電率材料の絶縁膜CeO₂との間にSiO₂などの厚い低誘電率層が形成されない。

このため、絶縁膜の合計膜厚が大きく増加しないので、低誘電率層抑制層を形成することによって絶縁膜の合計膜厚が大きく増加しないので、低誘電率層抑制層を形成していない場合と比較して単位面積当りのゲート絶縁容量が

30 40 0.53μF/cm²から1.68μF/cm²へと約3倍増加する。従って、単位面積当りのゲート絶縁容量が増加した分、ゲート絶縁体キャパシタの面積を大きくする必要がなく、メモリセル面積を小さくすることができる。

【0020】また、本発明のトランジスタ型強誘電体不揮発性記憶素子では、ソース領域およびドレイン領域を覆う厚膜のシリコン酸化膜を備え、前記シリコン酸化膜上と前記半導体基板のチャネル領域上とに前記絶縁膜があり、前記第1導電体膜および前記絶縁薄膜のチャネル長方向の長さがチャネル長より長い構造であることが好

ましい。

【0021】このように構成することにより、ソース領域、ドレイン領域を覆う酸化膜があるので強誘電体薄膜からの汚染物質がシリコン基板に進入しない。絶縁膜と第1導電体膜を加工する時、ソース領域、ドレイン領域を覆う厚膜の酸化膜があるのでゲート構造の端面のダメージが半導体基板に及ぶことがなく、リーク電流が抑えられる。

【0022】また、本発明のトランジスタ型強誘電体不揮発性記憶素子の製造方法では、シリコンを主体とする半導体基板上に、絶縁膜、第1導電体膜、強誘電体膜、第2導電体膜を順次積層したゲート構造を持つトランジスタ型強誘電体不揮発性記憶素子の製造方法であって、前記半導体基板上にダミーゲートを形成する工程と、前記ダミーゲートをマスクとしてソース領域とドレイン領域とを形成する工程と、前記ダミーゲートをマスクとして前記半導体基板表面を熱酸化することによって、ソース領域とドレイン領域とを覆う酸化膜を形成する工程と、前記ダミーゲートを除去した後、低誘電率層抑制層を形成する工程と、前記低誘電率層抑制層上に高誘電率材料からなる前記絶縁膜を形成する工程とを備え、前記絶縁膜上に第1導電体膜、前記強誘電体膜、前記第2導電体膜を順次形成することを特徴とする。

【0023】また、本発明のトランジスタ型強誘電体不揮発性記憶素子の製造方法では、前記低誘電率層抑制層を、イオン注入法、窒素プラズマ法、真空蒸着、レーザープレーショントン法、CVD (Chemical Vapor Deposition: 化学気相成長)、またはスパッター法で形成することが好ましい。

【0024】通常は第1導電体膜、強誘電体膜、第2導電体膜を積層し、エッチングしてなる強誘電体キャパシタを形成した後に、半導体基板にイオン注入をおこない、熱処理をしてソース領域、ドレイン領域を形成するため、イオン注入によって強誘電体膜の側壁にダメージが生じる恐れがある。これに対して、本発明の製造方法はソース領域、ドレイン領域を形成した後の強誘電体キャパシタを形成するので側壁へのダメージの問題がないという利点がある。また、第1導電体膜と絶縁膜とはチャネル上にあるとともにその端面が厚いシリコン酸化膜上にかかるように形成されることによって、チャネル長との位置合わせの余裕を確保される。このように、信頼性を向上させながら、実効的にゲート構造に対するセルフアラインプロセスを用いてトランジスタ型強誘電体不揮発性記憶素子を製造できる。

【0025】また、ソース、ドレイン領域を覆う厚膜のシリコン酸化膜を用いることにより、ゲート電極部の寄生容量を減少させ、高速動作を可能にする。

【0026】また、トランジスタ型強誘電体不揮発性記憶素子とその製造方法では、前記絶縁膜は、 Ta_2O_5 、 $SrTiO_3$ 、 TiO_2 、 $(Ba, Sr)TiO_3$ 、 Al_2O_3 、

O_3 、 ZrO_3 、 HfO_2 、 Y_2O_3 、 CeO_2 、 $CeZrO_4$ 、YSZ (酸化イットリウム安定化酸化ジルコニア) からなるグループから選んだ1つの材料の層または2つ以上の材料の積層であることが好ましい。

【0027】また、トランジスタ型強誘電体不揮発性記憶素子とその製造方法では、前記強誘電体膜は、 $SrBi_2Ta_2O_6$ 、 $PbTiO_3$ 、 $PbZr_2Ti_2O_7$ 、 $PbLa_2Zr_2Ti_2O_7$ 、 $Bi_2Ti_2O_7$ 、 $PbGeO_3$ 、 $SrNbO_3$ および $SrTa_2Nb_2O_7$ からなるグループの中から選ばれた1つの材料の膜であることが好ましい。

【0028】また、トランジスタ型強誘電体不揮発性記憶素子とその製造方法では、前記導電体膜は、白金、イリジウム、酸化イリジウム、導電性多結晶シリコンからなるグループから選んだ1つの材料の層または2つ以上の材料の積層であることが好ましい。

【0029】

【発明の実施の形態】以下、添付図面を参照して本発明の実施の形態を実施例に基づき詳細に説明する。尚、各図は、本発明が理解できる程度の大きさ、構成および配置関係を概略的に示しているに過ぎない。また、以下に記載する数値やプロセス条件、材料などは単に一例に過ぎない。従って、本発明は、この例示的な実施形態に何ら限定されるものではない。

【0030】まず、本発明の実施例のトランジスタ型強誘電体不揮発性記憶素子の構成を説明する。図1は本例のトランジスタ型強誘電体不揮発性記憶素子の要部の断面図である。本例のトランジスタ型強誘電体不揮発性記憶素子では、単結晶シリコンを主体とする半導体基板1のチャネル領域の表面に薄い低誘電率層抑制層2を備え、その上に高誘電率材料からなる絶縁膜3、第1導電体膜4、強誘電体膜5、第2導電体膜6が順次積層されてなるゲート構造7が構成され、MFMIS (Metal-Ferroelectric-Metal-Insulator-Semiconductor: 導電体膜-強誘電体膜-導電体膜-絶縁膜-半導体) 構造を備えている。ここで、薄い低誘電率層抑制層2はシリコン窒化酸化膜($SiON$)であり、絶縁膜3は、一般的にゲート酸化膜として用いられるシリコン酸化膜やシリコン窒化膜より高い比誘電率の材料である CeO_2 膜を用いる。

【0031】また、本例の素子では、半導体基板1のソース領域8、ドレイン領域9上を覆う厚膜のシリコン酸化膜10、11を備え、このシリコン酸化膜10、11上に絶縁膜3があり、絶縁膜3およびその上の第1導電膜4のチャネル長方向の長さがチャネル長より長い構造を備える。トランジスタ型強誘電体不揮発性記憶素子は、素子分離領域としてフィールド酸化膜13、14によって他の素子より分離される。

【0032】以上のゲート構造7、シリコン酸化膜10、11およびフィールド酸化膜13、14は層間絶縁

膜 15 に覆われており、この層間絶縁膜 15 には第 2 導電膜 6、ソース領域 8、ドレイン領域 9 のそれぞれに通じるコンタクトホール 16～16 が設け、それぞれにアルミ電極 17～17 による配線を施してそれぞれのコンタクト部を形成している。

【0033】次にトランジスタ型不揮発性記憶素子の製造方法を説明する。図 2 (a) 乃至 2 (i) は各工程における断面図であり、これらの図を参照しながら、以下、製造プロセスを述べる。

【0034】まず、抵抗率 $10 \Omega \text{ cm}$ の p 型シリコン (100) 半導体単結晶基板を半導体基板 1 とし、図 2 (a) に示すように半導体基板 1 上にアクティブ領域を定めるためにフィールド酸化膜 13、14 を形成する。

【0035】次に図 2 (b) に示すように、酸化膜 21 と窒化膜 22 を順次に積層した後に、通常のリソグラフィ技術とエッティング技術でダミーゲート 23 を形成する。酸化膜 21 は、例えば膜厚 35 nm 程度とする。

【0036】次に図 2 (c) に示すように、ソース領域 8、ドレイン領域 9 を形成するためにダミーゲート 23 をマスクにリンをイオン注入する。

【0037】次に図 2 (d) に示すように、例えば、酸素雰囲気中で 800°C にてアニールしてソース領域 8、ドレイン領域 9 を覆うシリコン酸化膜 10、14 を形成する。

【0038】次に図 2 (e) に示すように、窒化膜 22 を磷酸で除去した後に、低誘電率層を抑制する低誘電率層抑制層 2 を形成するために基板に窒素 24 を加速エネルギー 15 KeV で、ドーズ量 $1 \text{ E} 15 / \text{cm}^2$ で注入する。

【0039】次に図 2 (f) に示すように、最初に形成したダミーゲート 23 の一部としての酸化膜 21 を HF (フッ酸) で除去する。

【0040】次に図 2 (g) に示すように、熱酸化処理をおこないシリコン基板上に膜厚 1 nm の低誘電率層抑制層 2 を形成した後に、電子ビーム蒸着法を用いて絶縁膜 3 として膜厚 10 nm の CeO_2 (酸化セリウム) を堆積し、 800°C 、酸素雰囲気中で熱処理を行った。この時、シリコン基板、すなわち、半導体基板 1 の表面に 1 nm の SiON 膜が存在するので、 CeO_2 とシリコンとの界面に SiO_2 等の低誘電率層が形成されない。

【0041】次にリンを含んだポリシリコン膜 25 を CVD 法で 200 nm 堆積させた後に、強誘電体材料とポリシリコンとの相互拡散を防ぐためのバリア膜としての IrO_2 膜 26 をスパッター法で 200 nm 堆積させた。第 1 導電膜 4 は、ポリシリコン膜 25 と IrO_2 膜 26 とから形成される。次に強誘電体薄膜 5 として SBT 膜をスピンドルコート法によって 300 nm 形成する。

例えば、SBT 膜は次のように形成される。まず、2エチルヘキサン塩酸からなるストロンチウム (Sr)、ビスマス (Bi)、タンタル (Ta) の有機金属液を用意

し、金属モル比で、 $\text{Sr} : \text{Bi} : \text{Ta} = 0.8 : 2.$

$2 : 2$ の割合で混合し、 0.15 mol パーセントになるように、ヘキサンで希釈した。この薬液を 2000 rpm で回転している基板 1 のウエハに滴下して塗布し、大気中で 150°C で乾燥した後 250°C で乾燥させ、さらに管状炉で 400°C 酸素雰囲気中で乾燥させた。再度、前記薬液をウエハに塗布しこの操作を繰り返して、計 5 回薬液をウエハに塗布し乾燥させると、 SrBiTaO_3 (SBT) の強誘電体膜 5 が形成される。次に第 2 導電体薄膜 6 として Pt (白金) 膜をスパッター法で 200 nm 堆積する。

【0042】次に図 2 (h) に示すように、通常のリソグラフィ技術とドライエッティング技術で第 2 導電膜 6 としての Pt 膜、強誘電体膜 5 としての SBT 膜、第 1 導電膜 4 としての IrO_2 膜 26 およびポリシリコン膜 25、絶縁膜 3 としての CeO_2 膜を順次エッティングし、ゲート構造 7 を形成する。

【0043】次に図 2 (i) に示すように、層間絶縁膜 15 としてシリコン酸化膜をプラズマ CVD により形成した後に、第 2 導電膜 6 (Pt 膜) と、ソース領域 8 とドレイン領域 9 とのそれぞれに達するコンタクトホール 16～16 を開けて、アルミニウム電極 17～17 を形成して本例のトランジスタ型強誘電体不揮発性記憶素子が完成する。

【0044】次に完成したトランジスタ型強誘電体不揮発性記憶素子の平面図を図 3 (a) に示す。なお、上述の断面図 (図 1 および図 2 (i)) は図 3 (a) の A-A 線断面図に相当する。絶縁膜 3 と第 1 導電膜 4 とは、一括してエッティングしてパターン形成され、チャネル長方向の長さがチャネル長より長い同一の平面形状であり、ソース領域 8、ドレイン領域 9 をそれぞれ覆うシリコン酸化膜 10、11 にわたって形成されており、端部はシリコン酸化膜 10、11 上にある。これにより、トランジスタを高速動作させるためにチャネル長を十分に短くすることができる。さらに、位置合わせ余裕ができるに加え、エッティングの際の端面のダメージを、シリコン酸化膜 10、11 によるバリア膜で抑え、半導体基板 1 に及ぶことを抑えることができる。

【0045】絶縁膜 3 および第 1 導電膜 4 に続いて順次パターン形成される強誘電体膜 5、第 2 導電膜 6 の面積は、絶縁膜 3 および第 1 導電膜 4 の面積よりも小さい。この面積設定により、半導体基板 1 乃至第 1 導電膜 4 の積層構造である MIS 構造からなるゲート絶縁体キャパシタの容量 (C_g) を、第 1 導電膜 4 乃至第 2 導電膜 6 の積層構造である MFM 構造からなる強誘電体キャパシタの容量 (C_f) に比較して大きくしてある。

【0046】本例によれば、半導体基板 1 と絶縁膜 3 の間に低誘電率層抑制層 2 を介在させることにより、 CeO_2 のような比較的高い比誘電率の材料からなる絶縁

膜3を半導体基板1上に直接成膜した際に半導体基板1と絶縁膜3との界面に生じるSiO₂等の低誘電率層の発生を抑制している。このため、MIS構造によるゲート絶縁体キャパシタの電極間の絶縁膜の合計膜厚が大きく増加しないので、低誘電率層抑制層を形成していない場合と比較して単位面積当たりのゲート絶縁容量が増加する。従って、単位面積当たりのゲート絶縁容量が増加した分、ゲート絶縁体キャパシタの面積を大きくする必要がなく、メモリセル面積を小さくすることができる。

【0047】さらに、ダミーゲート23を用いることにより、セルフアラインにてソース領域8とドレイン領域9とを形成することができ、さらにこのダミーゲート23をマスクとしてソース領域8、ドレイン領域9を覆うシリコン酸化膜10、11を形成することができる。このシリコン酸化膜10、11により、ゲート絶縁膜や強誘電体の端面におけるリーク電流の発生や電荷の注入を防ぎ、さらに、活性化などの熱処理による強誘電体からシリコン基板への汚染を防ぐことができる。また、ソース、ドレイン領域8、9を覆う厚膜のシリコン酸化膜10、9を用いることにより、ゲート電極部の寄生容量を減少させることができ、高速動作も可能である。

【0048】以上により、高集積化が可能で、信頼性が高く、高速動作のトランジスタ型強誘電体不揮発性記憶素子を提供することができる。上述の実施例では低誘電率層抑制層の形成プロセスでシリコン基板に窒素をイオン注入して形成したが、これ以外に窒素プラズマ法、真空蒸着、レーザーアブレーション法、CVD (Chemical Vapor Deposition: 化学気相成長)、またはスパッター法でも同様に可能である。

【0049】上述の実施例では強誘電体薄膜の形成プロセスでスピンドル法を用いることとしたが、これ以外に真空蒸着、レーザーアブレーション法、MOCVD (MetalOrganic Chemical Vapor Deposition: 有機金属化学気相成長)、LSMCD (Liquid Source Misted Chemical Deposition: 化学成長) またはスパッター法でも同様に可能である。

【0050】上述の実施例で説明した、上部電極、すなわち、第2導電体膜6へのコンタクト部は必ずしもチャネル領域上でなくでも良く、素子分離領域上でも問題が無く、上述の効果については同じである。このような構造のトランジスタ型強誘電体不揮発性記憶素子の平面図を図3 (b) に示す。この場合、第1導電体膜4乃至第2導電体6の積層構造であるMFM構造を素子分離領域13、14上に形成する。本例ではコンタクト部のサイズがチャネル長に依存せず、位置合わせに余裕を持たせることができ、トランジスタ型不揮発性記憶素子の信頼性をさらに向上させることができとなる。

【0051】また、上記1実施例で述べた絶縁膜3はCeO₂以外に、Ta₂O₅、SrTiO₃、TiO₂、(Ba, Sr)TiO₃、Al₂O₃、ZrO₂、HfO₂、Y₂O₃、CeO₂、CeZrO₃、YSZ (酸化イットリウム安定化酸化ジルコニウム) からなるグループから選んだ1つの材料の層としても同様に可能である。また、このグループから選んだ複数の層を積層してもよい。

【0052】また、上記1実施例で述べた前記強誘電体薄膜はSBT以外に、強誘電体膜6は、PbTiO₃、PbZr_xTi_{1-x}O₃、Pb_{1-x}La_xZr_{1-x}Ti_{1-x}O₃、Bi₂Ti₃O₇、Pb₂Ge₃O₁₁、SrNbO₃およびSr₂Ta₂Nb_{1-x}O₃からなるグループの中から選ばれた1つの材料の薄膜でも同様に可能である。

【0053】前記導電体薄膜として白金、イリジウム、酸化イリジウム、導電性多結晶シリコンの1つを主体とする薄膜またはこれらを2種類以上積層した構造を使用することも可能である。

【0054】

【発明の効果】本発明によれば、シリコンを主体とする半導体基板上に窒素を含む低誘電率層抑制層を備えることで、ゲート絶縁膜として高誘電率材料からなる絶縁膜を用いる場合でも、絶縁膜と半導体基板との間の厚い低誘電率層を抑制できる。このため、絶縁膜の合計膜厚が大きく増加しないので、低誘電率層抑制層を形成していない場合と比較して単位面積当たりのゲート絶縁容量が増加する。従って、単位面積当たりのゲート絶縁容量が増加した分、半導体基板、絶縁膜、第1導電体膜の積層構造からなるゲート絶縁体キャパシタの面積を大きくする必要がなく、メモリセル面積を小さくすることができる。これにより、高集積化が可能なトランジスタ型強誘電体不揮発性記憶素子を提供することができる。

【0055】また、ダミーゲートを用いることにより、セルフアラインにてソース領域とドレイン領域とを形成することができ、さらにこのダミーゲートをマスクとしてソース領域、ドレイン領域を覆う厚膜のシリコン酸化膜を形成することができる。このため、ゲート絶縁膜や強誘電体膜の端面におけるリーク電流の発生や電荷の注入を防ぐとともに、活性化などの熱処理による強誘電体からシリコン基板への汚染を防ぐこともできる。これにより、信頼性の高いトランジスタ型強誘電体不揮発性記憶素子を提供することができる。

【0056】ソース、ドレイン領域を覆う厚膜のシリコン酸化膜を用いるため、ゲート電極部の寄生容量を減少させることができ、高速動作が可能である。これにより、高速動作のトランジスタ型強誘電体不揮発性記憶素子を提供することができる。

【0057】以上のことから、高集積化が可能で、信頼性が高く、高速動作のトランジスタ型強誘電体不揮発性記憶素子を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施例のトランジスタ型強誘電体不揮発性記憶素子の構成を示す断面図。

【図2 (a)】本発明の実施例のトランジスタ型強誘電

体不揮発性記憶素子の製造方法の各工程を示す断面図。

【図 2 (b)】本発明の実施例のトランジスタ型強誘電体不揮発性記憶素子の製造方法の各工程を示す断面図。

【図 2 (c)】本発明の実施例のトランジスタ型強誘電体不揮発性記憶素子の製造方法の各工程を示す断面図。

【図 2 (d)】本発明の実施例のトランジスタ型強誘電体不揮発性記憶素子の製造方法の各工程を示す断面図。

【図 2 (e)】本発明の実施例のトランジスタ型強誘電体不揮発性記憶素子の製造方法の各工程を示す断面図。

【図 2 (f)】本発明の実施例のトランジスタ型強誘電体不揮発性記憶素子の製造方法の各工程を示す断面図。

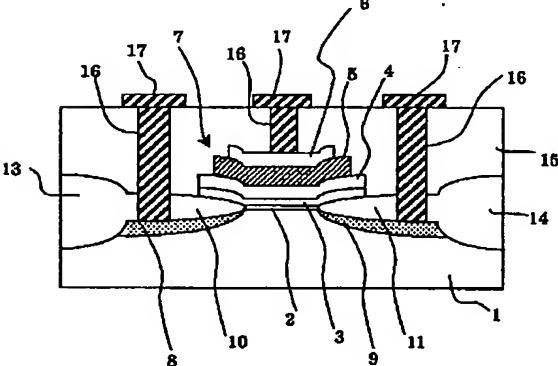
【図 2 (g)】本発明の実施例のトランジスタ型強誘電体不揮発性記憶素子の製造方法の各工程を示す断面図。

【図 2 (h)】本発明の実施例のトランジスタ型強誘電体不揮発性記憶素子の製造方法の各工程を示す断面図。

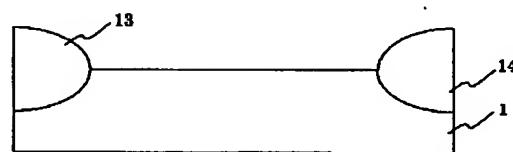
【図 2 (i)】本発明の実施例のトランジスタ型強誘電体不揮発性記憶素子の製造方法の各工程を示す断面図。

【図 3 (a)】本発明の実施例のトランジスタ型強誘電体不揮発性記憶素子の構成を示す平面図。

【図 3 (b)】本発明の実施例のトランジスタ型強誘電 20

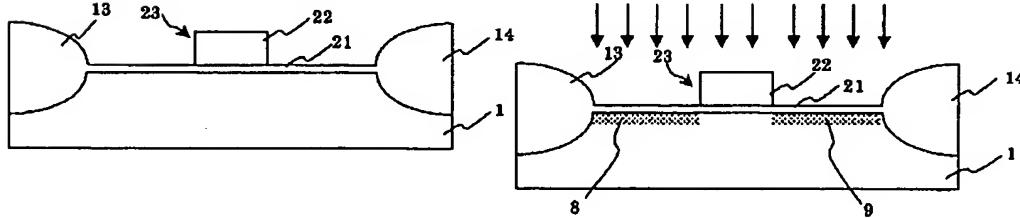


【図 1】

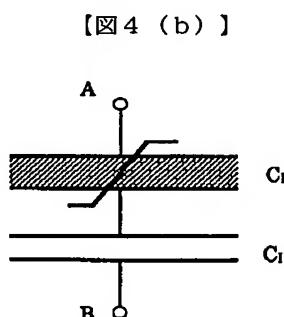


【図 2 (a)】

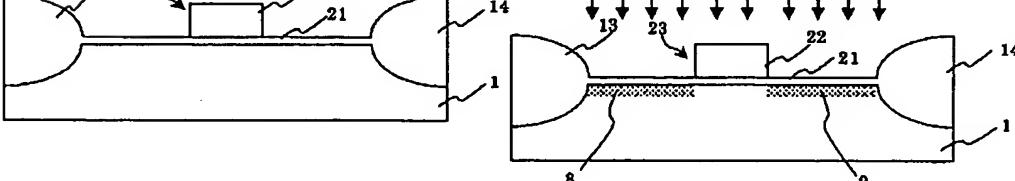
【図 2 (b)】



【図 2 (c)】



【図 4 (b)】



【図 2 (c)】

体不揮発性記憶素子において、MFM構造を素子分離領域上に配置した構成を示す平面図。

【図 4 (a)】従来のMFMIS構造をもつトランジスタ型強誘電体不揮発性記憶素子の断面図である。

【図 4 (b)】トランジスタ型強誘電体不揮発性記憶素子の等価回路図である。

【図 4 (c)】従来のMFMIS構造をもつトランジスタ型強誘電体不揮発性記憶素子の断面図。

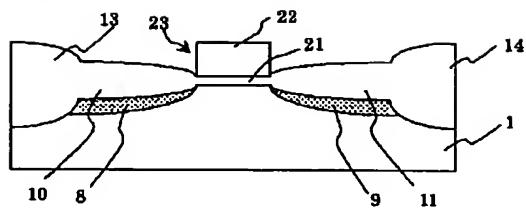
【図 5 (a)】従来のMFMIS構造をもつトランジスタ型強誘電体不揮発性記憶素子の断面図。

【図 5 (b)】従来のMFMIS構造をもつトランジスタ型強誘電体不揮発性記憶素子の断面図。

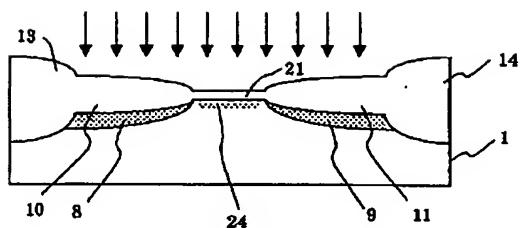
【符号の説明】

- 1 半導体基板
- 2 低誘電率層抑制層
- 3 絶縁膜
- 4 第1導電体膜
- 5 強誘電体膜
- 6 第2導電体膜

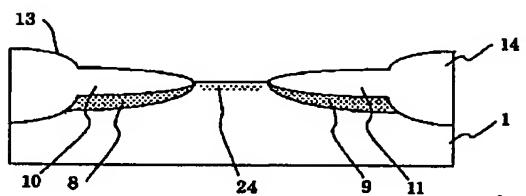
【図 2 (d) 】



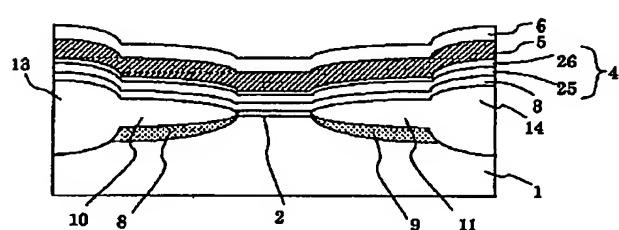
【図 2 (e) 】



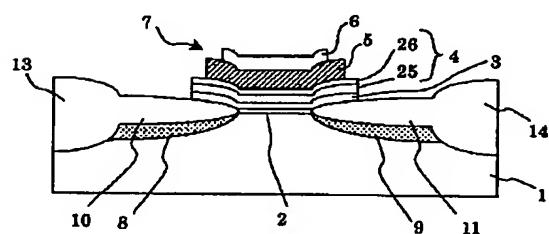
【図 2 (f) 】



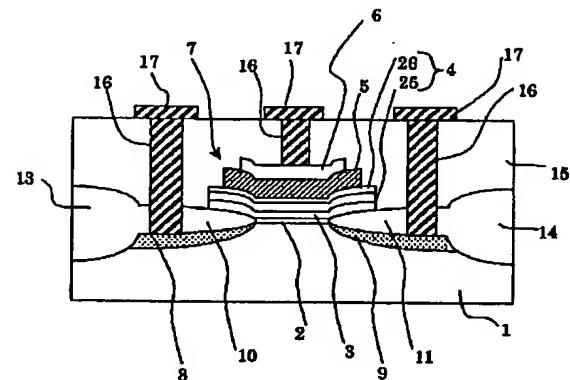
【図 2 (g) 】



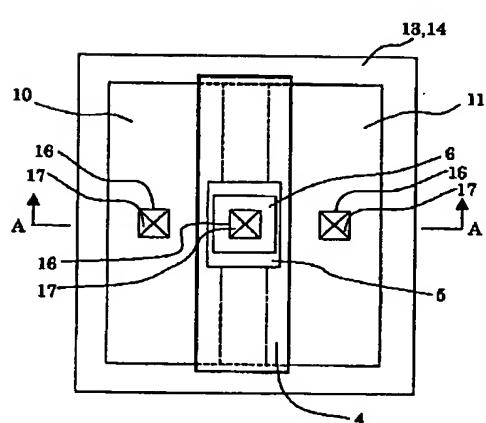
【図 2 (h) 】



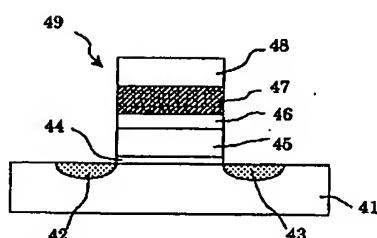
【図 2 (i) 】



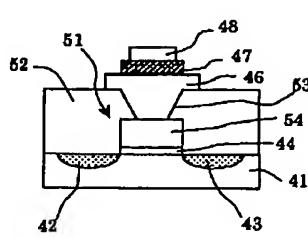
【図 3 (a) 】



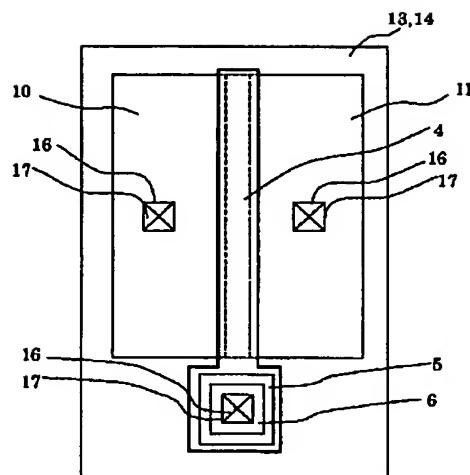
【図 4 (a) 】



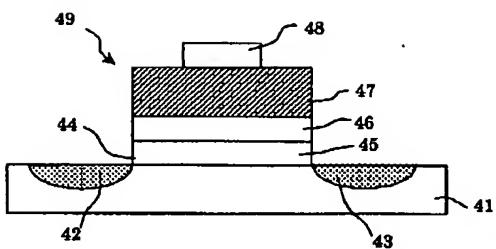
【図 5 (a) 】



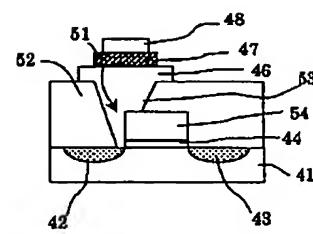
【図3 (b)】



【図4 (c)】



【図5 (b)】



フロントページの続き

(72)発明者 坂巻 和男

東京都江東区福住二丁目4番3号 日本ブ
レシジョン・サーキツ株式会社内

Fターム(参考) 5F083 FR07 GA09 GA25 JA02 JA05

JA06 JA12 JA13 JA14 JA15

JA17 JA36 JA38 JA43 MA06

MA19 PR12 PR23 PR36 ZA28

5F101 BA12 BA19 BA26 BA35 BA62

BB02 BB08 BD05